

(54) AC DRIVE SYSTEM FOR LIQUID CRYSTAL DISPLAY DEVICE

(11) 1-303882 (A) (43) 7.12.1989 (19) JP
(21) Appl. No. 63-135142 (22) 31.5.1988
(71) MITSUBISHI ELECTRIC CORP (72) TAKAYUKI SUGIMOTO
(51) Int. Cl. H04N5/66, G02F1/133, G09G3/36, H04N9/12

PURPOSE: To prevent production of flicker at a low drive voltage with simple circuit constitution by varying the DC component of a video signal and its amplitude in response to the polarity of the video signal and making the brightness of a liquid crystal panel in both the polarities equal to each other.

CONSTITUTION: The display device consists of 6 longitudinal elements and 6 lateral elements, in total 36 elements, and a positive video signal 2 is applied to a source of a thin film transistor(TFT) in case of displaying a video signal of an odd number field and in case of displaying a video signal of an even number field, a negative video signal 3 is applied. Since the brightness is lower in case of the driving by the positive video signal than that in case of the driving by the negative video signal based on the characteristic of the TFT, the DC level (black level) of the negative video signal 3 and the amplitude (gray level, white level) of the negative video signal 3 are set larger than the inverted positive video signal level to make the brightness on the panel equal to that at the application of the positive video signal. Thus, the change in the brightness of the liquid crystal display device is not caused in case of the odd and even number fields. Thus, production of flicker is prevented and the constitution of the drive circuit is simplified by lowering the drive voltage.

(54) VIDEO DATA PROCESSING CIRCUIT

(11) 1-303883 (A) (43) 7.12.1989 (19) JP
(21) Appl. No. 63-133623 (22) 31.5.1988
(71) TOSHIBA CORP (72) TORU HIRATA(1)
(51) Int. Cl. H04N5/907

PURPOSE: To attain easy to see pattern and to simplify the circuit constitution in case of applying the circuit for a channel search function or the like by controlling an inverted write enable (inverse of WE) signal so as to compress only a video part and to write the result into a picture memory.

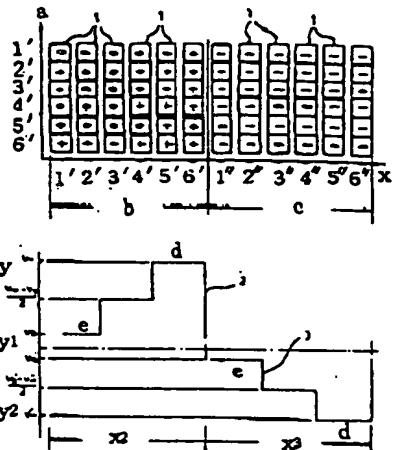
CONSTITUTION: A signal synchronously with a horizontal synchronizing signal is shaped into a reset pulse with one clock width by a waveform shaping circuit 41 to reset a horizontal counter 42, a bit shift circuit 43 applies bit shift to an output of the horizontal counter 42 and to output a compressed data. The output is added to a constant representing a display location outputted from a selector 45 at an adder circuit 44 and the result is outputted as a horizontal address. On the other hand, an inverse of WE signal generating circuit 47 generates an inverse of WE signal so as to write only a required part from an output of the bit shift circuit 43 into a memory. Since the inverse of WE signal is controlled so as to compress only the video part and to write it into a memory in this way, the address control to disappear the blanking part from the screen is attained. Thus, the screen is devised to be observed easily in case of applying the title circuit to a channel search or the like and the circuit constitution is simplified.

(54) HORIZONTAL AFC CIRCUIT

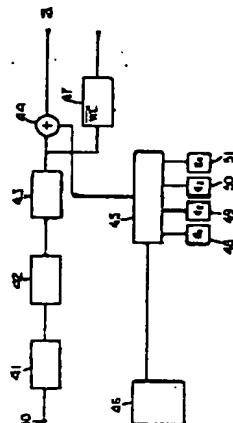
(11) 1-303884 (A) (43) 7.12.1989 (19) JP
(21) Appl. No. 63-133626 (22) 31.5.1988
(71) TOSHIBA CORP (72) TOSHIYUKI NAMIOKA(1)
(51) Int. Cl. H04N5/907

PURPOSE: To prevent the deviation of lines even in a picture signal subject to double speed conversion by separating even a reference voltage source from a control signal in an oscillated frequency at the phase lock state.

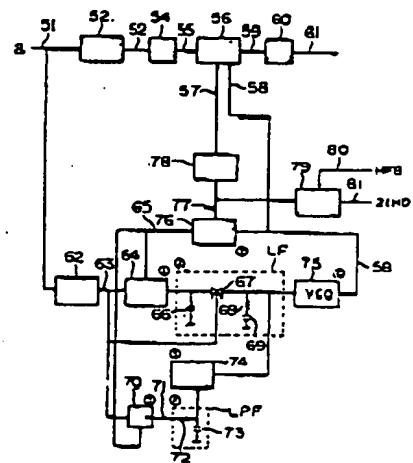
CONSTITUTION: A phase comparison means 64 detects a phase difference between a composite synchronizing signal 63 and a horizontal reference signal 65, a loop filter LF gives a time constant and a latch means 70 latches the composite synchronizing signal 63 at the edge of the horizontal reference signal 65. Then a low pass filter means LPF receives an output of the latch means 70 and a reference voltage generating means 74 brings its output into a high impedance state when the output of the low pass filter means LPF exceeds a prescribed level and outputs a reference voltage in other cases. Moreover, an oscillating means 75 generates a clock in a horizontal frequency being a multiple of (n) according to the output of a loop filter LF and the output of the reference voltage generating means 74, a frequency divider means 76 frequency-divides the clock by $1/2n$ and the result is led to a phase comparator means 64 as the horizontal reference signal 65. Thus, the deviation of lines is prevented even in the picture signal subject to double speed conversion.



x: line address, b: odd number field, c: even number field, x: time, d: white level, e: black level, 2: odd number field, x: even number field, y: reference voltage, y: positive polarity, y: negative polarity, 1: 1st line, 2: 2nd line, 3: 3rd line, 4: 4th line, 5: 5th line, 6: 6th line, 1: 1st scanning, 2: 2nd scanning, 3: 3rd scanning, 4: 4th scanning, 5: 5th scanning, 6: 6th scanning



46: channel switching signal generating circuit, 45: selector.
a: address



2: composite video signal. 52: video signal processing circuit. 54: AD converter. 56: picture memory. 60: DA converter. 78: timing control circuit. 79: horizontal APC circuit. 82: synchronizing separator. 70: latch. 5: reference voltage source.

⑪ 公開特許公報 (A)

平1-303883

⑫ Int. Cl.

H 04 N 5/907

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)12月7日

B-6957-5C

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 映像データ処理回路

⑮ 願 昭63-133623

⑯ 出願 昭63(1988)5月31日

⑰ 発明者 平田透 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業所家電技術研究所内

⑰ 発明者 坂本典哉 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業所家電技術研究所内

⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代理人 弁理士須山佐一

明細書

1. 発明の名称

映像データ処理回路

2. 特許請求の範囲

(1) 水平および垂直方向のピット成分からなる映像データを含むべき画像メモリと、前記映像データの水平方向のピット成分をカウントする第1のカウンタと、前記映像データの垂直方向のピット成分をカウントする第2のカウンタと、各カウンタの出力をシフトさせるピットシフト手段と、前記画像メモリに対する複数の書き込みアドレス値を出力するアドレス発生手段と、前記アドレス値のいずれかを選択するアドレス選択手段と、前記映像データに付随する不要データが前記画像メモリに書き込まれないように前記画像メモリのライトイネーブル信号を制御するライトイネーブル信号制御手段とを備えてなることを特徴とする映像データ処理回路。

3. 発明の詳細な説明

〔発明の目的〕

(図式上の利用分野)

本発明は、例えばテレビジョン受像装置におけるチャンネルサーチ機能等の実現に用いられる映像データ処理回路に関する。

(従来の技術)

近年、画像用の大容量メモリ(フィールドメモリ)を応用して、テレビジョン受像装置に様々な特殊機能を持たせることが行なわれている。

例えばチャンネルサーチと呼ばれる機能がある。これは第4図に示すように、放送中の全ての番組を縮小して同時に表示するものである。この操作によると、視聴者が同時に複数の番組を比較して好みの番組を選択することができる。

第5図は前記チャンネルサーチ機能の実現に用いられている従来の映像データ処理回路を説明する図である。

まず入力端子1から入力されたRF信号がチューナ2で検波され、ベースバンドのコンポジット信号がデコーダ3に送られる。デコーダ3ではコンポジット信号をデニードして、例えばY、B-

Y、R-Yを成分とする信号を得て、それぞれA/Dコンバータ5～7に送る。

A/Dコンバータ5～7では、これらの信号をデジタル化してフィールドメモリ(FM)9～11へ送る。各フィールドメモリではアドレス発生回路8からアドレス送とコントロール信号とを受け、A/Dコンバータ5～7からの信号を格納する。

アドレス発生回路8は同期回路4からの信号により書込みのアドレス値とコントロール信号とを発生し、読み出し用同期発生回路12から受けた信号により読み出しのアドレス値とコントロール信号とを発生し、それぞれフィールドメモリ9～11へ送っている。

そして1つのチャンネルに対応する映像データが書込まれると、チャンネル切換信号発生回路13がチャンネル切換え信号を発生してチューナ3へ送り、チューナ2は次のチャンネルを検波する。

一方、チャンネル切換え信号はアドレス発生回路8へも送られる。アドレス発生回路8は、このチャンネル切換え信号により再び書込みを行なう

第7図はアドレス発生回路8中の書込みアドレス発生部の構成の一例を示す図、第8図は各信号のタイミングを示す図である。

まず同期回路4(第5図)から水平同期信号と同期した信号b(第8図b)が入力端子20に加えられる。

この信号bはコンポジット信号zの水平同期信号ySの中間で立上がる信号である。これが波形整形回路21において1クロック幅に整形されれば信号c(第8図c)となり、水平カウンタ22をリセットする。水平カウンタ22はリセット時点から計数を開始し、0から1023までの1024通りのデータを出力する。

そしてこの出力はピットシフト回路23へ送られる。ピットシフト回路23では、画面の横方向に4画面を表示するためにアドレスを2bitシフトさせてデータを1/16に圧縮している。したがってカウンタが0～1023まで計数する間に、0～255のデータを出力する。このデータは加算回路24へ送られ、水平バイアス発生回路25が出力する

ようにフィールドメモリ9～11にコントロール信号を出力する。

そしてフィールドメモリ9～11の出力はA/Dコンバータ14～16へ送られてアナログ信号に変換される。

第4図の例では16の画面を同一画面に表示させている。フィールドメモリ9～11のメモリエリアは、画面と対応して第6図に示すように16のブロックに割り付けられ、各ブロックに1画面ずつの情報が書込まれる。

ところでフィールドメモリ9～11では、アドレスを水平方向と垂直方向とに分けて指定している。

たとえば水平方向に1024サンプル、垂直方向に256サンプルとすると、水平方向に0～255番地、垂直方向に0～63番地の部分に一画面を格納し、水平方向に256～511番地、垂直方向に0～63番地の部分に別の一画面を格納するというようにアドレスを割り当てる。このアドレス割り当てを行なっているのがアドレス発生回路8である。

水平バイアスと加算される。

一方、同期発生回路4からの垂直同期信号は端子26に与えられ、波形整形回路27により整形され、垂直カウンタ28をリセットする。そしてピットシフト回路29で垂直カウンタ28の出力がピットシフトされ、加算回路30で垂直バイアスが加算される。

なお各バイアス値は表示位置により固定されている。例えば第4図の④の部分に表示する場合、水平バイアス発生回路25の出力は256、垂直バイアス発生回路31の出力は0である。

(発明が解決しようとする課題)

ところで前述したようなアドレス発生回路が発生するアドレスに従うと、第5図のSの期間にフィールドメモリへの書込みが行なわれるが、この期間Sにおける映像の部分は×の期間のみであり、×、×の期間はブランкиングあるいはシンクアップの部分となる。

すなわち前述したようなプロセスでフィールドメモリへの書込みが行なわれるとブランкиング部

分も表示されてしまうが、これによると第9図に示したように各画面の縁にブランкиングの部分が奥く現れて画面が大変見苦しくなってしまう。

このブランкиングの部分を画面に出さないためには、映像の部分のデータだけを裁断して書き込まねばならない。

第8図々、この期間だけアドレスカウンタを止めれば第8図のx期間だけがメモリに書き込まれるので、映像だけを裁断してメモリに書き込むことができるが、これを行なうには々、この期間を計数するためのカウンタが必要となるので、全体の回路構成が非常に複雑になってしまう。

本発明はこのような事情により成されたもので、チャンネルサーチ等の機能の実現に用いた場合に画面が見易くなり、回路構成も単純な映像データ処理回路の提供を目的としている。

【発明の構成】

(課題を解決するための手段)

本発明の映像データ処理回路は、この目的を実現するために、水平および垂直方向のビット成

以下、本発明の実施例の詳細を図面に基づいて説明する。

なお本実施例は第1図に示した従来の映像データ処理回路と比較してアドレス発生回路の部分だけが異なっているため、以下ではアドレス発生回路の部分に関してのみ説明する。

また本実施例では、映像データの水平方向のビット成分および垂直方向のビット成分のいずれに対しても同じ処理を行なうため、以下では水平方向のビット成分に関してのみ説明する。

第1図において、40は同期回路からの映像信号が印加される入力端子、41は前記映像信号を整形する波形整形回路、42は映像信号の水平方向のビット成分をカウントする水平カウンタ、43は水平カウンタの出力をシフトさせるビットシフト回路、44はビットシフト回路43が出力する信号とセレクタ45からの信号とを加算する加算回路である。セレクタ45は後述するようにアドレスを選択して出力する。また46はチャンネル切換え信号を発生するチャンネル切換え信号発

分からなる映像データを書き込むべき画像メモリと、前記映像データの水平方向のビット成分をカウントする第1のカウンタと、前記映像データの垂直方向のビット成分をカウントする第2のカウンタと、各カウンタの出力をシフトさせるビットシフト手段と、前記画像メモリに対する復数の書き込みアドレスを出力するアドレス発生手段と、前記アドレスのいずれかを選択するアドレス選択手段と、前記映像データに付随する不要データが前記画像メモリに書き込まれないように前記画像メモリのライトイネーブル信号を制御するライトイネーブル信号制御手段とを備えている。

(作用)

本発明の映像データ処理回路では、映像データに付随する不要データが画像メモリに書き込まれないようにライトイネーブル信号を制御するので、例えばチャンネルサーチ機能の実現に用いた場合には、余分なカウンタを増加させることなくブランкиング部分を消すことができる。

(実施例)

生回路、47はライトイネーブル信号(以下WE信号という)を発生するWE信号発生回路、48～51は後述する定数発生回路である。

まず入力端子40には同期回路(図示せず)からの水平同期信号と同期した信号が加えられる。この信号は波形整形回路41で1クロック幅のリセットパルスに整形され、水平カウンタ42をリセットする信号となる。この水平カウンタ42は、たとえば0～1023までの1024のデータを出力する。ビットシフト回路43では、水平カウンタ42の出力をビットシフトする。

例えば16の画面を表示する場合には、各画面の水平方向に1/4、垂直方向に1/4に圧縮する必要があるので、ビットシフト回路43は0～255までのデータを出力する。この出力が加算回路44においてセレクタ45から出力される。表示位置を示す定数と加算され、水平アドレスとして出力される。

一方、WE信号発生回路47では、ビットシフト回路43の出力から必要な部分だけをメモリに

書込むように \overline{WE} 信号を発生する。

第2図は本実施例における各信号のタイミングを示す図である。

なお第2図では水平プランキング期間のバックポート側を含む書込み禁止期間を α 、水平プランキング期間のフロントポート側を含む書込み禁止期間を β 、メモリに書込む期間を γ としている。

チャンネルサーチにおける一画面の水平方向成分として γ の期間の映像データのサンプルをメモリに書込む場合には、それぞれバックポート側およびフロントポート側のプランキング部分 α 、 β を含むリセットバルス C から B の期間また γ の期間は、いずれも書込み禁止部分とする。

そしてチャンネルサーチのそれぞれの画面を水平方向に繰り返せば、プランキングの部分を両面に表示させることができる。

以上のプロセスは垂直方向のピット成分に対しても全く同様である。

第3図は本実施例におけるフィールドメモリの

メモリマップを示しており、表示両面と対応している。このフィールドメモリにおいて水平方向のアドレスは $0 \sim 1023$ であり、左から1列目は端から α_1 、2列目は端から α_2 、3列目は α_3 、4列目は α_4 、分だけアドレスが離れている。これら $\alpha_1 \sim \alpha_4$ の値は、定数発生器 $48 \sim 51$ に格納され、セレクタ $45 \sim 48$ へ送られている。

そしてピットシフト回路43の出力 SC は $0 \sim 255$ まで変化し、子画面は第2図の書込み許可期間 γ の間に S_B 個だけサンプリングされ、表示されるべき位置に従って、これら S_B 個のサンプルがフィールドメモリのアドレス $\alpha_1 \sim \alpha_4 + S_B$ ($1 \sim 4$) 番地に書込まれる。

たとえば第3図の①の位置に表示される画面ならば、アドレス $\alpha_1 \sim \alpha_1 + S_B$ に書込み期間 γ の間に S_B 個のサンプルが書込まれる。アドレスの値を A とすると、 A は $0 \sim 1023$ まで変化する。 S_B を第2図のバックポート側の書込み禁止期間 β の期間のサンプル数、 S_A を第2図のフロントポート側の書込み禁止期間 α のサンプル数とする

と、 $S_B + S_A + S_B = 255$ である。すなわち、

A : アドレス

SC : ピットシフト回路43の出力

$\alpha_1 (1 \sim 4)$: メモリエリアの端からの

アドレスの値 (定数)

$$\alpha_1 = \alpha_1 + S_B$$

$$\alpha_2 = \alpha_2 + S_B - \alpha_1 + 2S_B$$

$$\alpha_3 = \alpha_3 + S_B - \alpha_1 + 3S_B$$

S_B : 左側の削除部分のサンプル数 (定数)

S_A : 右側の削除部分のサンプル数 (定数)

S_B : メモリニリニアに書込むサンプル数 (定数)とした場合、アドレスを式で表すと、

$$A = SC + (\alpha_1 - S_B)$$

第3図の左上①の部分に書込む場合を具体的に説明する。

まず、ピットシフト回路43の出力 SC が $0 \sim S_B$ の間は、フィールドメモリの \overline{WE} 信号を書込み禁止の状態、すなわち High レベルにする。このときアドレス A は、 $\alpha_1 - S_B \sim \alpha_1$ まで変化する。

SC が $S_B \sim S_B + S_B$ の間では、 \overline{WE} 信号を書込み許可の状態、すなわち Low レベルにする。このときアドレス A は、 $\alpha_1 \sim \alpha_1 + S_B$ まで変化する。

SC が $S_B + S_B \sim S_B + S_B + S_A$ の間では、 \overline{WE} 信号を禁止状態とする。このときアドレス A は $\alpha_1 + S_B \sim \alpha_1 + S_B + S_A$ まで変化する。

次に第2図の第2列目、たとえば②の部分に書込む場合を具体的に説明する。

SC が $0 \sim S_B$ の間は、 \overline{WE} 信号を書込み禁止状態にする。このときアドレス A は $\alpha_2 - S_B \sim \alpha_2$ まで変化し、アドレスの値は①の部分の右端と重なっているが、 \overline{WE} 信号が書込み禁止なので、①の部分の内容は変化しない。

次に SC が $S_B \sim S_B + S_B$ の間では、 \overline{WE} 信号を書込み許可状態とする。このときアドレス A は、 $\alpha_2 \sim \alpha_2 + S_B$ まで変化し、②の部分にデータが書込まれる。

さらに SC が $S_B + S_B \sim S_B + S_B + S_A$ の間では \overline{WE} 信号を書込み禁止状態とする。このと

きアドレスAは、 $\alpha_2 - S_B \sim \alpha_2 + S_B + S_T$ まで変化する。

以上の関係をまとめて次表に示す。

アドレスAの 値	レベルシフタの 出力SC	WEの 許可・禁止
$\alpha_1 - S_B \leq A < \alpha_1$	$0 \leq SC < S_B$	禁止
$\alpha_1 \leq A < \alpha_1 + S_B$	$S_B \leq SC < S_B + S_T$	許可
$\alpha_1 + S_B \leq A \leq \alpha_1 + S_B + S_T$	$S_B + S_T \leq SC \leq S_B + S_T$	禁止

かくして本実施例では、水平カウンタ42は常に計数を続ければよく、アドレスAの値は、予め定数 α_1 ($1 - 1 \sim 4$)、 S_B 、 S_T 、 S_B の値を定数発生回路に記憶させておくだけで自動的に設定される。そしてブランкиング部分が画面に表示されないように、映像部分だけを基盤してメ

モリに書き込むようにメモリのWE信号を制御するので、ブランкиング部分を画面上に出さないようなアドレス制御を行なうことができる。

なお本実施例では本発明をチャンネルサーチ機能の実現に用いた場合について説明しているが、本発明はこれに限らず、例えば複数のビデオテープレコーダからの映像信号等のようにソースが異なる複数の映像を1つの画面に同時に表示させる場合に幅広く適用することができる。

【発明の効果】

以上説明したように本発明の映像データ処理回路では、映像部分だけを基盤して映像メモリに書き込むようにメモリのWE信号を制御するので、例えばチャンネルサーチ機能の実現に用いた場合でも、ブランкиング部分が画面に表示されない。そしてアドレスカウンタを止めたり動かしたりするための余分なカウンタを使用しないので、回路構成が単純である。

4. 画面の簡単な説明

第1図は本発明の一実施例の回路構成を説明す

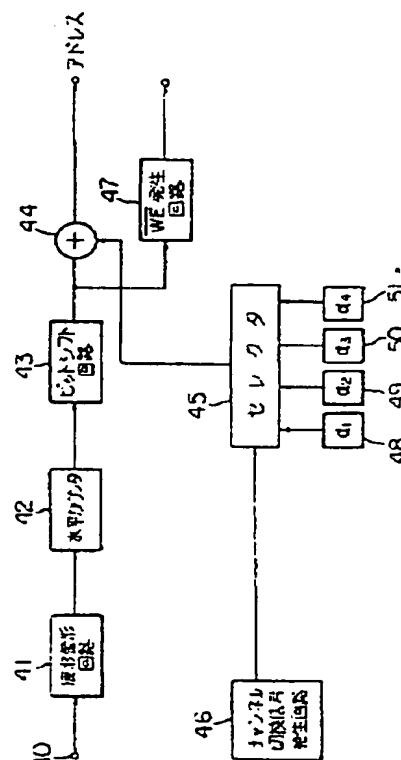
る図、第2図は同実施例における各信号のタイミングを説明する図、第3図は同実施例におけるフィールドメモリのメモリマップを示す図、第4図はチャンネルサーチにおける表示例を説明する図、第5図は従来の映像データ処理回路の回路構成を説明する図、第6図は同従来例におけるフィールドメモリのメモリマップを示す図、第7図は同実施例におけるアドレス発生回路の書き込みアドレス発生部の構成の一例を示す図、第8図は従来の映像データ処理回路における各信号のタイミングを示す図、第9図は従来の映像データ処理回路の問題点を説明する図である。

40…入力端子、41…波形整形回路、42…水平カウンタ、43…ピットシフト回路、44…加算回路、45…セレクタ、46…チャンネル切換えは母発生回路、47…WE発生回路、48～51…定数発生回路。

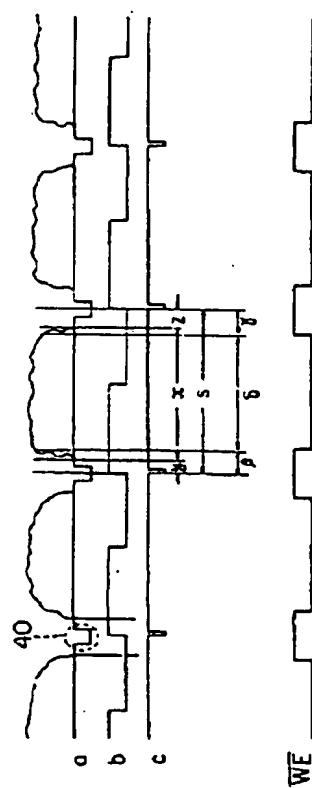
出願人

株式会社 東芝

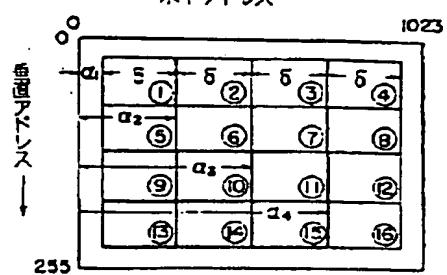
代理人 井理士 清山 佐一



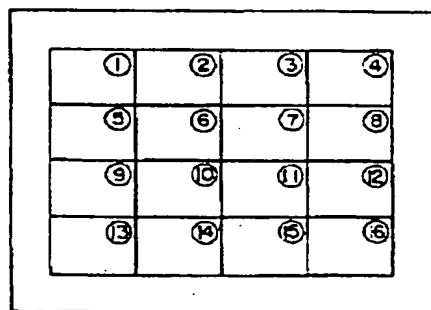
図一
第一実施例



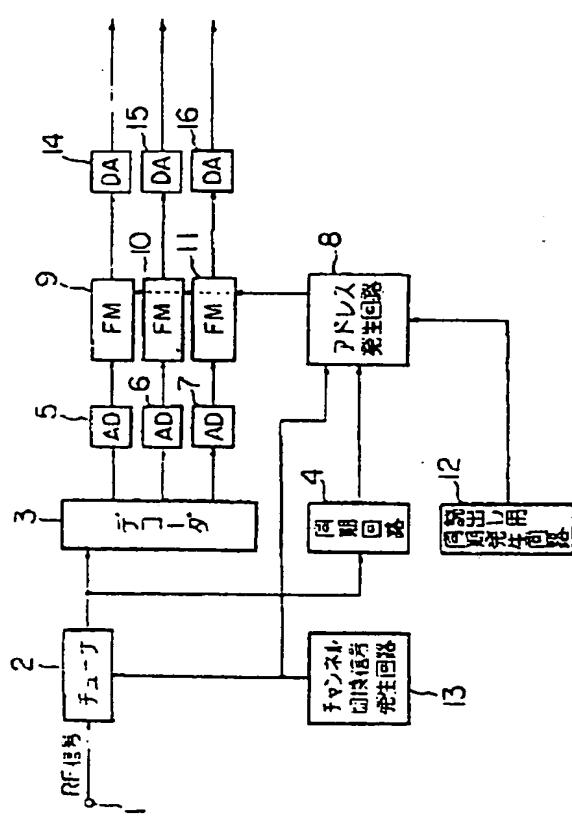
第2図



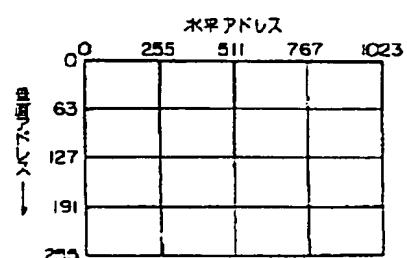
第3図



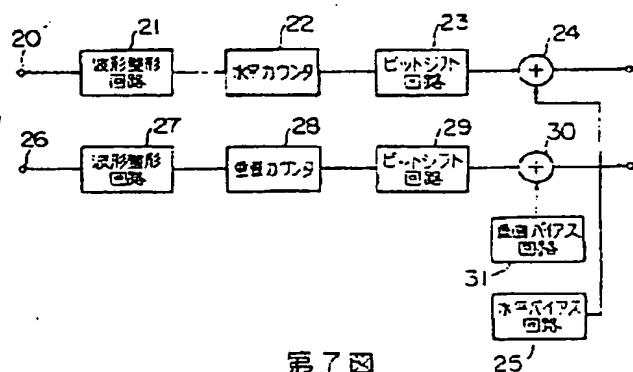
第4図



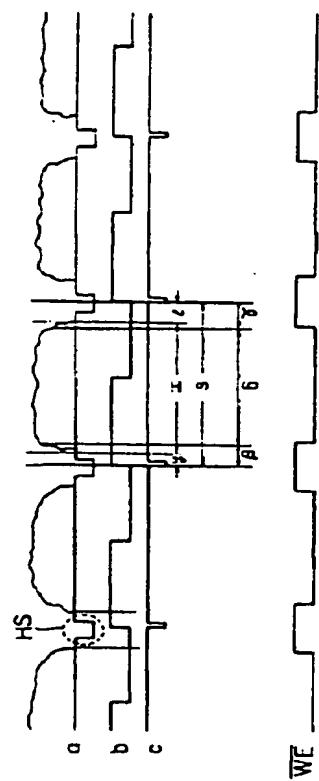
第5図



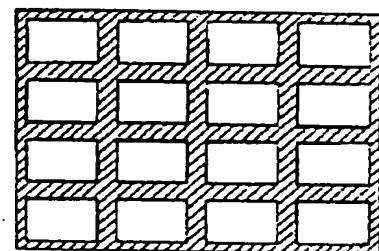
第6図



第7図



第8図



第9図